



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) Numéro de publication : 0 552 121 A1

(12)

## DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt : 93460001.6

(51) Int. Cl.<sup>5</sup> : H04L 12/56, H04Q 11/04

(22) Date de dépôt : 06.01.93

(30) Priorité : 14.01.92 FR 9200430

(43) Date de publication de la demande :  
21.07.93 Bulletin 93/29

(84) Etats contractants désignés :  
DE ES GB IT

(71) Demandeur : FRANCE TELECOM  
Etablissement autonome de droit public, 6,  
Place d'Alleray  
F-75015 Paris (FR)

(72) Inventeur : Boyer, Pierre  
3 Park an Derved  
F-22300 Lannion (FR)  
Inventeur : Guillemin, Fabrice  
Rue Saint-Guirec  
F-22700 Ploumanach (FR)  
Inventeur : Servel, Michel  
Le Rhu en Servel  
F-22300 Lannion (FR)

(74) Mandataire : Le Guen, Louis François  
Cabinet Le Guen & Maillet, 38, rue  
Levassasseur, B.P. 91  
F-35802 Dinard Cédex (FR)

(54) Méthode de contrôle de débit de cellules.

(57) On affecte à chaque circuit virtuel une période ( $pm$ ) correspondant à la période minimale théorique entre deux cellules consécutives du circuit virtuel et un délai maximal ( $dm$ ). On mémorise l'heure fictive d'émission sur le multiplex de sortie de la dernière cellule appartenant à chaque circuit virtuel, et on compare, à l'arrivée d'une nouvelle cellule d'un circuit virtuel, une heure seuil calculée par addition de son heure réelle d'arrivée et du délai maximal à l'heure fictive d'émission espérée de la nouvelle cellule en cours de traitement, l'heure calculée par addition de l'heure fictive d'émission de la dernière cellule émise et de la période minimale ( $pm$ ). Si le résultat de cette comparaison montre que l'heure seuil est antérieure à l'heure fictive d'émission espérée ( $tde + pm$ ), la cellule entrante n'est pas réémise alors que s'il montre que l'heure seuil est postérieure à l'heure fictive d'émission espérée ( $tde + pm$ ), elle est émise sur le multiplex de sortie, l'heure fictive d'émission de la cellule entrante étant alors calculée puis mémorisée en relation avec le circuit virtuel auquel appartient la cellule entrante.

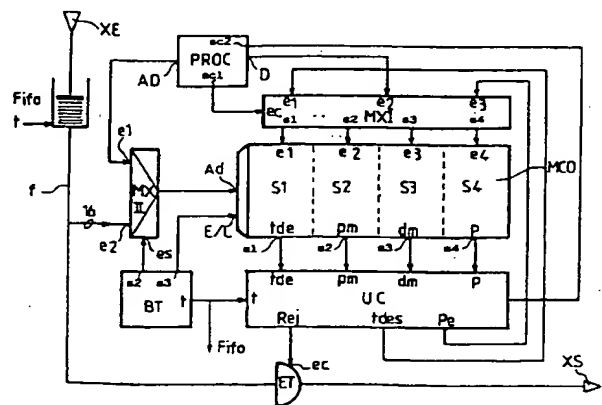


FIG.1

La présente invention concerne une méthode de contrôle de débit de cellules présentes sur un circuit virtuel d'un multiplex temporel asynchrone, et un circuit de mise en oeuvre de cette méthode.

L'acheminement de débits quelconques et le partage des mêmes ressources de transmission constituent l'intérêt principal de la commutation temporelle asynchrone. En effet, le multiplexage temporel asynchrone permet de transmettre sur un même support, c'est-à-dire sur un même multiplex temporel asynchrone, des cellules appartenant à des circuits virtuels différents. Toutefois, l'allocation des ressources s'appuie généralement sur des calculs statistiques des taux d'activité des différentes sources émettrices si bien qu'il y a un risque non nul de pertes d'informations par débordement des files d'attente dû à des surcharges instantanées. Il faut évidemment minimiser ces pertes.

Une méthode de contrôle de débits crété ou moyen des cellules présentes sur un circuit virtuel est décrite dans le document de brevet FR-A-2 616 024. Elle consiste à prévoir l'élimination des cellules qui appartiennent à une communication et qui sont en trop par rapport au débit seuil maximal admissible du circuit virtuel correspondant. Ce débit maximum est déterminé, pour chaque circuit virtuel, par l'allocation d'une fréquence d'horloge prédéterminée et d'une valeur de seuil prédéterminée. La mesure consiste à calculer la différence entre le nombre de cellules entrantes appartenant à ce circuit virtuel et le nombre d'impulsions délivrées par l'horloge. On provoque l'élimination des cellules entrantes tant que la différence calculée n'est pas inférieure à la valeur seuil prédéterminée.

Le choix entre plusieurs valeurs de débit seuil pour des circuits virtuels différents est fait par le choix de plusieurs bases de temps, ce qui constitue un inconvénient du fait du manque de souplesse que cela implique.

Par ailleurs, on conçoit que si la base de temps sélectionnée pour un circuit virtuel déterminé passe par zéro entre les arrivées de deux cellules consécutives de ce circuit, la différence entre les deux valeurs correspondantes de la base de temps n'est plus représentative du nombre d'impulsions d'horloge et la mesure du débit est entachée d'une erreur. Pour résoudre ce problème, on surdimensionne généralement le nombre de bits des bases de temps, par exemple quarante ou cinquante bits, si bien que l'événement considéré devient rare.

Cette méthode demande, par conséquent, pour sa mise en oeuvre, une circuiterie importante.

On connaît également le document de brevet FR-A-2 616 025 qui décrit une méthode de contrôle de flux de cellules sur le circuit virtuel d'un multiplex temporel asynchrone. Cette méthode se distingue de celle décrite précédemment en ce que, lorsqu'une cellule arrive, le débit du circuit virtuel correspondant est

comparé à une valeur moyenne allouée et, quand il est trouvé positif, l'écart positif se traduit en droits à émettre proportionnels au temps écoulé depuis la demande précédente, ces droits étant cumulés et, quand il est trouvé négatif, il entraîne la décrémentation du nombre cumulé et, si le nombre cumulé est nul, le refus d'autorisation d'émettre.

Si cette méthode résout bien le problème de l'allocation d'un débit prédéterminé pour un circuit virtuel donné, elle présente l'inconvénient de présenter une réponse relativement lente si bien qu'elle est essentiellement destinée au contrôle de débits moyens et qu'elle n'est pas du tout appropriée au contrôle des débits crête.

On connaît également le document de brevet FR-A-2 657 482 qui concerne, cette fois-ci, essentiellement une méthode de lissage et de contrôle de débits de communications temporelles asynchrones en gérant, notamment, la durée entre deux cellules consécutives d'un circuit virtuel. Cette méthode consiste à déterminer l'heure réelle de réémission en fonction d'une période de temps minimale théorique séparant deux cellules consécutives d'un même circuit virtuel, et à ranger ladite cellule entrante dans une mémoire à l'adresse formée à partir de cette heure de réémission. Le contrôle de débit est effectué en comparant le nombre de cellules en attente à un nombre maximum prédéterminé pour le circuit virtuel correspondant. Toute cellule en trop est détruite.

Ce dispositif ne présente pas d'inconvénients majeurs si non de regrouper les fonctions de contrôle de débits des cellules et celles de gestion de l'espace de temps séparant deux cellules consécutives appartenant à un même circuit virtuel lorsque celles-ci sont trop rapprochées.

Pour essentiellement des raisons de souplesse d'installation des systèmes, il est préférable de découpler ces fonctions et de les prévoir, l'une ou l'autre, en des emplacements différents dans le réseau.

En conséquence, un but de l'invention est de prévoir une méthode de contrôle de débit qui n'assure pas nécessairement la gestion de l'espace de temps entre cellules et qui ne présente pas les inconvénients des méthodes de contrôle qui sont mentionnées ci-dessus.

A cet effet, une méthode de contrôle de débit selon l'invention est caractérisée en ce qu'on affecte à chaque circuit virtuel une période correspondant à la période minimale théorique entre deux cellules consécutives dudit circuit virtuel et un délai maximal, on mémorise l'heure fictive d'émission sur le multiplex de sortie de la dernière cellule appartenant à chaque circuit virtuel, et on compare, à l'arrivée d'une nouvelle cellule d'un circuit virtuel, une heure seuil calculée par addition de son heure réelle d'arrivée et dudit délai à l'heure fictive d'émission espérée de ladite nouvelle cellule, ladite heure fictive étant calculée par addition de ladite heure fictive d'émission de la dernière

cellule émise et de ladite période minimale, et si le résultat de cette comparaison montre que ladite heure seuil est antérieure à ladite heure fictive d'émission espérée, ladite cellule entrante n'est pas réémise sur le multiplex de sortie alors que s'il montre que ladite heure seuil est postérieure à l'heure fictive d'émission espérée, elle est émise sur le multiplex de sortie, l'heure fictive d'émission de ladite cellule entrante étant alors calculée puis mémorisée en relation avec le circuit virtuel auquel appartient ladite cellule entrante.

Selon une autre caractéristique de l'invention, l'heure fictive d'émission de la cellule entrante qui est calculée est l'heure réelle d'arrivée si ladite heure d'arrivée est postérieure à ladite heure fictive d'émission espérée.

Selon une autre caractéristique de l'invention, l'heure fictive d'émission de la cellule entrante qui est calculée est soit l'heure fictive d'émission de la cellule précédente si ladite heure seuil est antérieure à ladite heure fictive d'émission espérée, soit ladite heure fictive d'émission si l'heure seuil est postérieure à ladite heure fictive d'émission.

Selon une autre caractéristique de l'invention, on affecte, à chaque circuit virtuel, un bit dont la valeur est à un lorsque l'heure fictive d'émission mémorisée pour ledit circuit virtuel est antérieure d'une durée de temps prédéterminée à l'heure réelle et, à zéro, dans le cas contraire.

La présente invention concerne également un circuit de contrôle de débit de cellules d'un circuit virtuel destiné à la mise en oeuvre d'une méthode telle que celle qui vient d'être décrite.

Selon une caractéristique, ledit circuit comprend un multiplex d'entrée et un multiplex de sortie et il est caractérisé en ce qu'il comprend encore une mémoire comportant une zone de mémorisation par circuit virtuel, chaque zone étant divisée en sections dans lesquelles sont respectivement mémorisées l'heure fictive d'émission de la dernière cellule émise, la période minimale et la durée maximale de retard du circuit virtuel correspondant, ladite mémoire étant adressée, à l'arrivée d'une cellule entrante sur le multiplex d'entrée, par le numéro du circuit virtuel auquel appartient ladite cellule entrante, une porte dont l'entrée est reliée au multiplex d'entrée et dont la sortie est reliée au multiplex de sortie, une unité de calcul comportant des entrées respectivement reliées aux sorties de lecture de la mémoire pour y lire chaque section de la zone adressée, une première sortie reliée à une entrée de commande de la porte pour autoriser ou non l'émission sur le multiplex de sortie de la cellule présente sur le multiplex d'entrée, et une seconde sortie reliée à une entrée d'écriture de la mémoire pour mémoriser dans la section de la zone adressée l'heure fictive d'émission de la cellule entrante calculée par ladite unité de calcul, une base de temps dont la sortie est reliée à l'entrée correspondante de l'unité de cal-

cul, ladite unité, en fonction de l'heure locale délivrée par ladite base de temps, de l'heure fictive d'émission, de la période minimale et de la durée maximale respectivement mémorisées dans les sections correspondantes de la zone mémoire qui est adressée par la cellule entrante délivrant un signal sur l'entrée de commande de la porte pour commander ou non l'émission sur le multiplex de sortie de ladite cellule et calculant l'heure fictive d'émission de ladite cellule entrante pour la mémoriser dans la section correspondante de la zone adressée par ladite cellule.

Selon une autre caractéristique de l'invention, ladite unité de calcul comprend un additionneur dont une première entrée et une seconde entrée reçoivent respectivement le signal d'heure fictive d'émission de la dernière cellule émise et le signal de période minimale délivrés par la mémoire adressée par le numéro de circuit virtuel de la cellule entrante, la sortie dudit additionneur étant reliée à une première entrée d'un comparateur dont la seconde entrée reçoit le signal d'heure seuil de la cellule entrante, la sortie du comparateur étant reliée, d'une part, à la borne de l'unité de calcul qui est elle-même reliée à l'entrée de commande de la porte et, d'autre part, à l'entrée de commande d'un multiplexeur dont les entrées reçoivent respectivement le signal d'heure fictive d'émission de la dernière cellule émise délivrée par la mémoire et le signal délivré par ledit additionneur, la sortie dudit multiplexeur étant reliée à la borne de l'unité de calcul elle-même reliée à l'entrée d'écriture de la mémoire pour la mémorisation de l'heure fictive d'émission de la cellule entrante.

Selon une autre caractéristique de l'invention, pour calculer l'heure seuil d'arrivée de la cellule entrante, l'unité de calcul comporte encore un second additionneur dont les deux entrées reçoivent respectivement le signal d'heure locale délivrée par la base de temps et le signal de délai maximal délivré par la mémoire, la sortie dudit additionneur délivrant ledit signal d'heure seuil.

Selon une autre caractéristique de l'invention, ladite unité de calcul comporte encore un second comparateur dont une première entrée est reliée à la sortie du premier additionneur et la seconde entrée à la base de temps pour y recevoir le signal d'heure locale, la sortie dudit comparateur étant reliée à l'entrée de commande d'un second multiplexeur dont les deux entrées sont respectivement reliées à la sortie du premier multiplexeur et à la sortie de la base de temps pour y recevoir le signal d'heure locale, la sortie dudit multiplexeur formant alors la sortie de l'unité de calcul.

Selon une autre caractéristique de l'invention, chaque comparateur a ses entrées qui sont respectivement reliées aux sorties d'un circuit d'analyse dont les entrées correspondantes reçoivent les signaux à comparer, ledit circuit inversant le bit de poids le plus

fort de chacun des signaux présents sur son entrée lorsqu'un seul desdits signaux est passé par zéro et que l'autre se trouve à une distance prédéterminée du premier.

Selon une autre caractéristique de l'invention, l'unité de calcul comporte encore une entrée pour y recevoir un signal d'activation délivré par un processeur aux temps où il adresse lui-même ladite mémoire et une sortie sur laquelle elle délivre un bit dont la valeur est à un lorsque l'heure fictive d'émission de la dernière cellule émise mémorisée est antérieure d'une durée de temps prédéterminée à l'heure réelle et à zéro dans le cas contraire, ladite sortie étant reliée à une entrée de mémorisation de la mémoire pour pouvoir mémoriser ledit bit dans une section de la zone adressée, la mémoire ayant une sortie de lecture pour pouvoir délivrer, à l'arrivée d'une cellule, ledit bit mémorisé dans la section de la zone adressée par ladite cellule et pour le fournir à une entrée correspondante de l'unité de calcul, ladite unité de calcul délivrant en tant qu'heure fictive d'émission de ladite cellule entrante, ladite heure fictive normalement calculée si le bit mémorisé dans la zone adressée par la cellule entrante est à zéro, et l'heure locale s'il est à un.

Selon une autre caractéristique de l'invention, ledit bit est fourni à une entrée d'une porte OU dont la seconde entrée est reliée à la sortie du second comparateur, la sortie de ladite porte étant reliée à l'entrée de commande du second multiplexeur.

Les caractéristiques de l'invention mentionnées ci-dessus, ainsi que d'autres, apparaîtront plus clairement à la lecture de la description suivante d'un exemple de réalisation, ladite description étant faite en relation avec les dessins joints, parmi lesquels:

la Fig. 1 est un schéma synoptique d'un circuit de contrôle de débit selon la présente invention,

la Fig. 2 est un schéma synoptique de l'unité de calcul d'un circuit de contrôle selon la présente invention,

la Fig. 3 est un diagramme montrant le résultat de la méthode de contrôle selon l'invention et le fonctionnement d'un circuit de contrôle selon l'invention,

la Fig. 4a est un schéma synoptique d'un circuit d'analyse équipant une unité de calcul d'un circuit de contrôle selon l'invention,

la Fig. 4b est une table de vérité d'un circuit de comparaison équipant un circuit d'analyse selon la Fig. 4a, et

la Fig. 5 est une table de vérité de fonctionnement du circuit d'analyse de péremption qui équipe un circuit de contrôle selon l'invention.

Le dispositif de contrôle de débit représenté à la Fig. 1 comprend essentiellement une file d'entrée Fifo, une mémoire MCO dite mémoire de contexte, une unité de calcul UC, une base de temps BT et un multiplexeur MXI.

La file Fifo reçoit sur son entrée un multiplex rentrant XE qui est, par exemple, un multiplex temporel asynchrone du type de celui qui est décrit dans le document de brevet EP-A-108 208. Chaque cellule délivrée à la sortie de la file Fifo, appelée par la suite cellule entrante, est présentée sur un faisceau de fils  $f$  dont un certain nombre, par exemple seize, porte les bits représentatifs du numéro du circuit virtuel de la cellule entrante. Le faisceau de fils  $f$  à la sortie de la file Fifo est relié à une porte ET au nombre d'entrées correspondant au nombre de fils du faisceau  $f$ . La sortie de la porte ET est reliée à un multiplex sortant XS. Elle comporte également une entrée de commande  $ec$ , du type inverseuse, reliée, comme on le verra par la suite, à une sortie Rej de l'unité de calcul UC.

Lorsque la porte ET reçoit un niveau un sur son entrée  $ec$ , ses sorties sont à un niveau zéro, alors que lorsqu'elle reçoit un niveau zéro, ses entrées sont recopiées sur ses sorties. On dira, par la suite, que la cellule entrante est, dans ce dernier cas, émise sur le multiplex de sortie XS.

La mémoire MCO est une mémoire vive à accès aléatoire comportant autant de zones adressables que de circuits virtuels que peut traiter le système.

Chaque zone de la mémoire MCO est divisée en quatre sections  $S_1$  à  $S_4$  respectivement destinées à mémoriser, pour chaque zone et donc pour chaque numéro de circuit virtuel:

- l'heure d'émission fictive de la dernière cellule arrivée  $t_{de}$ ,
- une période de temps théorique  $pm$  correspondant à la période minimale qui doit séparer deux cellules du circuit virtuel sur le multiplex XS pour que le débit de cellules du circuit virtuel concerné soit toujours inférieur au débit prédéterminé de ce circuit,
- un délai maximum  $dm$  correspondant au temps de retard maximum que peut prendre, dans le réseau, une cellule d'un circuit virtuel en fonctionnement normal, et
- un bit P dit de péremption dont la fonction est explicitée ci-dessous.

La durée  $dm$  correspond au temps de retard maximum autorisé que peut prendre, dans le réseau, une cellule d'un circuit virtuel. Le délai  $dm$  peut fort bien être très inférieur à la période  $pm$ . En effet, pour une cellule de parole, la période  $pm$  est, par exemple, d'environ six millisecondes alors que le temps de retard de certains réseaux du type temporel asynchrone est de l'ordre de quelques centaines de microsecondes. Le délai maximum  $dm$  est évalué par rapport à l'arrivée dans le dispositif de contrôle de la cellule la plus rapide dans le réseau. Ce délai maximum  $dm$  peut varier en fonction d'éventuelles priorités entre les cellules appartenant à des circuits virtuels différents.

Notons que, si l'on considère un délai  $dm$  identique pour tous les circuits virtuels, cette valeur peut

être directement fournie à l'unité de calcul UC et la section correspondante  $S_3$  de la mémoire MCO n'existe pas.

L'heure fictive d'émission tde est avantageusement codée en trois champs respectivement de 8 bits, 16 bits et 8 bits. Le premier correspond aux bits de poids faibles et peut être considéré comme la partie "décimale". Le second est d'une dimension telle qu'il est possible d'y coder la valeur maximale au delà de laquelle une cellule n'est pas réémise, quelque soit le numéro de circuit virtuel. Le troisième peut être considéré comme les bits de poids forts. Il permet de repérer les événements à longs termes et de coder les périodes de valeur supérieure au retard maximum que peut prendre une cellule dans le réseau.

La période pm est elle codée sur 30 bits dont 22 bits de poids forts servant à exprimer la période minimale entre deux cellules à émettre et 8 bits de poids faibles servant à affiner la distance temporelle moyenne entre l'émission de deux cellules consécutives.

Le délai dm est lui codé sur 24 bits comme les heures mais sans le champ décimal de 8 bits.

La mémoire MCO comporte une entrée d'adressage Ad pour sélectionner une zone et une entrée de sélection de mode écriture/lecture E/L.

L'entrée d'adressage Ad est reliée à la sortie d'un multiplexeur à deux entrées MXII dont l'une  $e_1$  est reliée au bus d'adressage AD d'un processeur PROC et l'autre  $e_2$  aux fils du faisceau f qui portent le numéro d'ordre du circuit de la cellule entrante.

La mémoire MCO comporte encore quatre entrées  $e_1$  à  $e_4$  sur lesquelles sont appliqués les signaux tde, pm, dm et P pour leur enregistrement, en mode écriture, dans les sections correspondantes de la zone adressée.

Elle comporte encore quatre sorties  $s_1$  à  $s_4$  sur lesquelles elle délivre, en mode lecture, les signaux tde, pm, dm et P issus des sections correspondantes  $S_1$  à  $S_4$  de la zone dont l'adresse est présente sur Ad.

La base de temps BT comporte une première sortie t par laquelle elle fournit, à l'unité de calcul UC et à la file Fifo, un signal t représentant l'heure réelle locale.

La file Fifo délivre les cellules sur sa sortie en synchronisme avec le signal t.

Le signal t est codé sur vingt quatre bits et ne comporte pas de bits de décimales.

La base de temps BT comporte une seconde sortie  $s_2$  reliée à l'entrée de sélection es d'entrée du multiplexeur MXII et une troisième sortie  $s_3$  reliée à l'entrée de commande E/L de la mémoire MCO.

Chaque temps élémentaire t est divisé en quatre parties, notées ci-après  $t_1$ ,  $t_2$ ,  $t_3$  et  $t_4$ . Pendant les temps  $t_1$  et  $t_2$ , la seconde sortie  $s_2$  de la base de temps BT est à un niveau tel que le multiplexeur MXII a sa sortie qui porte le numéro du circuit virtuel qui est présent sur son entrée  $e_2$  alors que, pendant les temps

$t_3$  et  $t_4$ , elle est à niveau tel qu'il a sa sortie qui porte l'adresse que lui fournit sur son entrée  $e_1$ , le processeur PROC.

Pendant les temps  $t_1$  et  $t_3$ , la base de temps BT a sa troisième sortie  $s_3$  qui délivre, à la mémoire MCO, un signal de commande du mode lecture alors que pendant les temps  $t_2$  et  $t_4$ , elle lui délivre un signal de commande du mode écriture le dernier mode est actif seulement si une cellule entrante est présente ou si le processeur adresse la mémoire.

L'unité de calcul UC possède quatre entrées tde, pm, dm, P ayant les mêmes références que les signaux qu'elles portent respectivement reliées aux quatre sorties  $s_1$  à  $s_4$  de la mémoire MCO sur lesquelles sont respectivement présents, lorsque la mémoire MCO est adressée en mode lecture, les valeurs tde, pm, dm, et P de la zone adressée. L'unité de calcul UC possède également une sortie tde sur laquelle elle délivre un signal tde représentant l'heure d'émission fictive de la cellule traitée et une sortie Rej sur laquelle elle délivre un signal Rej de commande de rejet ou non de la cellule traitée. Les sorties Rej et tde sont respectivement reliées à l'entrée de commande ec de la porte ET, comme cela a déjà été décrit, et à une entrée  $e_1$  de multiplexeur MXI. Elle possède encore une sortie Pe sur laquelle elle délivre un bit P dit de péremption dont la fonction est décrite ci-dessous. La sortie Pe est reliée à une entrée  $e_3$  correspondante du multiplexeur MXI. L'unité de calcul UC est décrite plus en détail ci-dessous en relation avec la Fig. 2.

Le multiplexeur MXI possède quatre sorties  $s_1$  à  $s_4$  respectivement reliées aux entrées  $e_1$  à  $e_4$  de la mémoire MCO. Celle-ci étant adressée en mode écriture, les signaux sur les sorties  $s_1$  à  $s_4$  du multiplexeur MXI sont enregistrés, dans les sections correspondantes de la zone adressée.

Le multiplexeur MXI possède encore une troisième entrée  $e_2$  qui est reliée à un bus D du processeur PROC pour pouvoir initialiser les valeurs de pm et de dm de chaque circuit virtuel, et une entrée de commande ec qui est reliée à une sortie de commande  $sc_1$  du processeur PROC.

Le fonctionnement du dispositif de contrôle représenté à la Fig. 1 est le suivant.

A sa mise sous tension ou à l'établissement ou à la rupture de communications, le processeur PROC accède, via le multiplexeur MXI, aux zones de la mémoire MCO pour initialiser chaque section des zones adressées en particulier  $S_2$ ,  $S_3$  et  $S_4$ . Pour ce faire, il place, pendant le temps  $t_4$  de la base de temps BT, sur l'entrée du multiplexeur MXII, l'adresse de la zone de la mémoire MCO à initialiser. Il fournit un signal de sélection sur l'entrée de commande ec du multiplexeur MXI et, par l'intermédiaire de celui-ci et via son bus D, il fournit aux entrées  $e_1$  à  $e_4$  de la mémoire MCO et pour chaque zone de la mémoire MCO adressée et pour la section  $S_1$  à  $S_4$  sélectionnée, les valeurs d'initialisation de tde, pm, dm et P des circuits virtuels

correspondants. Les bits de péremption P de tous les circuits virtuels sont, au départ, comme on le verra par la suite, positionnés à zéro. On comprendra également que l'initialisation de la section S<sub>1</sub>, contenant tde n'est pas nécessaire dans le cadre de la présente invention.

En fonctionnement normal, lorsqu'une cellule arrive, à l'heure locale t donnée par la base de temps BT, le numéro du circuit virtuel de cette cellule est fourni, aux temps t<sub>1</sub> et t<sub>2</sub> de la base de temps BT et via le multiplexeur MXII, à l'entrée d'adressage Ad de la mémoire MCO.

Au temps t<sub>1</sub>, les valeurs tde, pm, dm, et P correspondant à ce circuit virtuel sont délivrées à l'unité de calcul UC. Sur la base de ces signaux, l'unité de calcul UC, selon une méthode décrite ci-dessous, décide du rejet ou non de la cellule entrante en délivrant le signal Rej correspondant et calcule l'heure fictive d'émission de cette cellule t<sub>des</sub>.

Lorsqu'il y a rejet, la sortie Rej de l'unité de calcul UC passe à un niveau 1, si bien que les niveaux de sortie de la porte ET, sont nuls. Chaque bit de la cellule n'est donc pas recopié sur le multiplex de sortie XS, et on dira que la cellule n'est pas émise.

Par contre, lorsqu'il n'y a pas rejet, la sortie Rej de l'unité de calcul UC est à un niveau zéro si bien que la cellule entrante est recopiée sur le multiplex sortant XS; elle est dite émise.

Au temps t<sub>2</sub>, la même zone de la mémoire MCO est adressée. La mémoire MCO est en mode écriture et reçoit, via le multiplexeur MXI, le signal t<sub>des</sub> que l'unité de calcul UC vient de calculer. Cette valeur est enregistrée dans la section correspondante S<sub>1</sub> de la zone adressée.

Pendant les temps t<sub>3</sub> et t<sub>4</sub>, le processeur PROC traite le bit de péremption P. Cette opération est décrite ci-après.

Pour l'instant, on décrira l'unité de calcul UC en relation avec la Fig. 2 qui en donne un schéma synoptique.

Elle comporte un premier additionneur ADD1 à deux entrées e<sub>1</sub> et e<sub>2</sub> respectivement reliées à l'entrée tde et l'entrée pm de l'unité UC elles-mêmes respectivement reliées aux sorties s<sub>1</sub> et s<sub>2</sub> de la mémoire MCO.

Elle comporte également un second additionneur ADD2 à deux entrées e<sub>1</sub> et e<sub>2</sub> respectivement reliées à l'entrée t et à l'entrée dm de l'unité UC elles-mêmes respectivement reliées à la sortie t de la base de temps BT et à la sortie s<sub>3</sub> de la mémoire MCO.

La sortie s<sub>1</sub> du premier additionneur ADD1 et la sortie s<sub>2</sub> du second additionneur ADD2 sont respectivement reliées aux entrées e<sub>1</sub> et e<sub>2</sub> d'un premier circuit d'analyse et correction de passage par zéro CACPZ1 dont les deux sorties s<sub>1</sub> et s<sub>2</sub> correspondant à ces deux entrées e<sub>1</sub> et e<sub>2</sub> sont respectivement reliées aux entrées e<sub>1</sub> et e<sub>2</sub> d'un premier comparateur CMP1. La sortie s<sub>1</sub> de ce dernier est reliée à la sortie

Rej de l'unité de calcul UC.

La sortie s<sub>1</sub> du premier additionneur ADD1 est reliée à l'entrée e<sub>1</sub> d'un second circuit d'analyse et de correction de passage par zéro CACPZ2 dont l'autre entrée e<sub>2</sub> est reliée à l'entrée t de l'unité UC. Les sorties s<sub>1</sub> et s<sub>2</sub> correspondant aux entrées e<sub>1</sub> et e<sub>2</sub> du circuit CACPZ2 sont respectivement reliées aux deux entrées e<sub>1</sub> et e<sub>2</sub> d'un comparateur CMP2 dont la sortie s<sub>2</sub> est reliée à une première entrée d'une porte OU. La seconde entrée e<sub>2</sub> est reliée à l'entrée P de l'unité de calcul UC, entrée reliée à la sortie s<sub>4</sub> de la mémoire MCO.

La structure et le fonctionnement des circuits CACPZ1 et CACPZ2 sont décrits ci-après. Pour l'instant, on pourra retenir que le signal sur une entrée e<sub>1</sub> se retrouve normalement à la sortie s<sub>1</sub> correspondante et qu'ils permettent de résoudre les problèmes qui sont liés au passage par zéro de l'un des signaux présents sur leurs entrées e<sub>1</sub> ou e<sub>2</sub>.

Le comparateur CMP1 est tel qu'il délivre sur sa sortie s<sub>1</sub> un bit à zéro lorsque la valeur du signal sur son entrée e<sub>1</sub> est inférieure à celle sur la seconde entrée e<sub>2</sub>, et un bit à un lorsque la valeur sur la première entrée e<sub>1</sub> est supérieure à celle sur la seconde entrée e<sub>2</sub>.

Quant au comparateur CMP2, il délivre un bit à zéro lorsque la valeur du signal sur son entrée e<sub>1</sub> est supérieure à celle sur la seconde entrée e<sub>2</sub>, et un bit à un lorsque la valeur sur la première entrée e<sub>1</sub> est inférieure à celle sur la seconde entrée e<sub>2</sub>.

La sortie s<sub>1</sub> du premier additionneur ADD1 est encore reliée à une première entrée e<sub>1</sub> d'un multiplexeur MX1 comportant une seconde entrée e<sub>2</sub> reliée à l'entrée tde de l'unité UC. La sortie s<sub>1</sub> du comparateur CMP1 est encore reliée à l'entrée de sélection es du multiplexeur MX1. La sortie s du multiplexeur MX1 est reliée à l'entrée e<sub>1</sub> d'un second multiplexeur MX2 dont l'autre entrée e<sub>2</sub> reçoit le signal d'horloge t issu de la base de temps BT. Ce second multiplexeur MX2 a son entrée de sélection es qui est pilotée par la sortie de la porte OU.

La sortie s du multiplexeur MX2 est reliée à la sortie t<sub>des</sub> de l'unité de calcul UC, sur laquelle est présent le signal de même nom représentant l'heure fictive d'émission de la cellule en cours de traitement.

Le fonctionnement de l'unité de calcul UC est le suivant.

Le premier additionneur ADD1 calcule une heure fictive d'émission de la cellule entrante, heure qui correspond à l'heure fictive d'émission tde de la dernière cellule émise additionnée à la période minimale pm. Quant à l'additionneur ADD2, il calcule une heure qui correspond à l'heure locale d'arrivée de la cellule entrante t additionnée au délai maximum dm. Cette heure est dite heure seuil car une cellule qui aurait une heure fictive d'émission postérieure à cette heure ne serait pas réémise.

On considèrera, dans un premier temps, que les

heures calculées par les deux additionneurs ADD1 et ADD2 sont exprimées en des chiffres ayant un même ordre de grandeur. Le circuit CACPZ1 délivre alors respectivement sur ses sorties  $s_1$  et  $s_2$  les signaux présents sur ses entrées  $e_1$  et  $e_2$ .

On ne se préoccupe pas non plus pour l'instant du traitement des péremptions. Le bit P est considéré comme étant à zéro, et le multiplexeur MX2 délivre alors sur sa sortie  $s$  et fournit, par conséquent, à la sortie  $t_{des}$  de l'unité de calcul UC, le signal qui est présent sur son entrée  $e_1$ , c'est-à-dire le signal qui est sur la sortie  $s$  du multiplexeur MX1.

Considérons d'abord le cas d'une cellule C1 (Fig. 3) arrivant à un temps  $t_1$  et dont l'heure fictive d'émission devrait être  $t_{de_0} + pm$  supérieure à son heure seuil  $t_1 + dm$ . Le comparateur CMP1 délivre sur sa sortie  $s_1$  un niveau un qui est fourni, d'une part, à l'entrée de commande  $ec$  de la porte ET qui délivre alors un signal de valeur nulle sur le multiplex de sortie XS (voir Fig. 1) et, d'autre part, à l'entrée de sélection  $es$  du multiplexeur MX1 qui délivre alors sur sa sortie  $s$  l'heure  $t_{de}$ . La cellule en cours de traitement n'est donc pas réémise et son heure fictive d'émission  $t_{des}$  est en réalité égale à celle de la dernière cellule précédente  $t_{de}$ . ( $t_{de_0} = t_{de_1}$ )

Ainsi, en cas de rejet de la cellule entrante, l'heure fictive d'émission est inchangée et reste  $t_{de}$ . Tout se passe vu du multiplex de sortie XS comme si cette cellule entrante n'avait pas existée.

Considérons maintenant le cas d'une cellule C2 arrivant à un temps  $t_2$  et dont l'heure fictive d'émission devrait être  $t_{de} + pm$  inférieure à son heure seuil  $t_2 + dm$ . Le comparateur CMP1 délivre sur sa sortie  $s_1$  un niveau zéro qui est fourni à l'entrée de commande  $ec$  de la porte ET, celle-ci délivre alors sur le multiplex de sortie XS la cellule entrante (Fig. 1). La cellule entrante est donc réémise. Il est également fourni à l'entrée de sélection  $es$  d'entrée du multiplexeur MX1 qui délivre alors sur sa sortie  $s$ , l'heure  $t_{de} + pm$ , qui via le multiplexeur MX2, se retrouve sur la sortie  $t_{des}$  de l'unité de calcul UC. L'heure fictive d'émission de la cellule C2 en cours de traitement et dont on vient de commander l'émission au temps  $t_2$  est maintenant  $t_{de} + pm$ . ( $t_{de_2} = t_{de_1} + pm$ )

Supposons qu'une cellule C3 arrive à un temps  $t_3$  qui est postérieur à son heure fictive d'émission espérée  $t_{de} + pm$ .

Le comparateur CMP2 compare alors l'heure seuil  $t_{de} + pm$  délivrée par l'additionneur ADD1 et l'heure  $t$  présente sur l'entrée  $t$  de l'unité de calcul UC et délivre un niveau un qui est fourni au multiplexeur MX2, via la porte OU. Le multiplexeur MX2 délivre à sa sortie  $s$ , non plus l'heure  $t_{de}$  ou  $t_{de} + pm$  présente à la sortie  $s$  du multiplexeur MX1 comme précédemment, mais l'heure  $t$  présente sur son entrée  $e_2$ . La cellule C3 est alors émise et son heure fictive d'émission est  $t$  ( $t_{de_3} = t$ ).

On remarquera que lorsque l'heure  $t_{de} + pm$  est

supérieure à  $t$ , le comparateur CMP2 délivre un niveau zéro qui, si le bit P sur l'entrée P de l'unité UC est à zéro, se retrouve sur l'entrée  $es$  de commande du multiplexeur MX2. Celui-ci délivre alors  $t_{de}$  ou  $t_{de} + pm$ .

On va maintenant décrire le fonctionnement des circuits d'analyse et de correction de passage par zéro CACPZ<sub>i</sub>.

On se reportera à la Fig. 4a qui montre un schéma synoptique d'un tel circuit. Il comprend un comparateur CMP dont les entrées  $e_1$  et  $e_2$  sont respectivement reliées aux fils qui portent les bits de poids les plus forts, d'une part, de l'heure  $t_A$  et, d'autre part, de l'heure  $t_B$ . Les trois bits de poids forts peuvent, par exemple, être utilisés.

Pour le circuit CACPZ1,  $t_A$  et  $t_B$  sont respectivement les heures  $t_{de} + pm$  et  $t + dm$  respectivement délivrées par les additionneurs ADD1 et ADD2. Pour le circuit CACPZ2,  $t_A$  et  $t_B$  sont respectivement l'heure  $t_{de} + pm$  délivrée par l'additionneur ADD1 et l'heure locale  $t$ .

Le comparateur CMP fonctionne selon la table de vérité montrée à la Fig. 4b. On peut constater qu'il délivre un niveau un lorsque la distance qui sépare les deux heures  $t_A$  et  $t_B$  autour de l'heure de valeur nulle est au plus de trois octants (espace de temps de dimension égale au huitième de la plus grande valeur que peut prendre chaque heure  $t_A$ ,  $t_B$ ). Dans les autres cas, il délivre un zéro.

Le circuit d'analyse CACPZ<sub>i</sub> montré comporte encore deux inverseurs  $I_1$  et  $I_2$  commandés dont les entrées  $e$  sont respectivement reliées aux fils qui portent le bit de poids le plus fort des heures  $t_A$  et  $t_B$ . Les sorties  $s$  des inverseurs  $I_1$  et  $I_2$  sont respectivement reliées aux fils qui portent le bit de poids le plus fort des heures  $t'_A$  et  $t'_B$ , heures délivrées en sortie du circuit d'analyse CACPZ<sub>i</sub>.

Lorsque le comparateur CMP a sa sortie  $s$  à un niveau un, les inverseurs  $I_1$  et  $I_2$  inversent respectivement les bits de poids forts des heures  $t_A$  et  $t_B$  alors que, lorsqu'il a sa sortie à un niveau zéro, ils n'inversent pas ces bits.

A titre d'exemple, supposons:

$t_A = 000xxxxxxxx$  et  $t_B = 110xxxxxxxx$  dans lesquels x représente un bit dont la valeur peut être quelconque.

D'après la table de vérité de la Fig. 4a, le comparateur délivre sur les entrées de commande des inverseurs un niveau 1. Les nouvelles heures sont alors:

$t'_A = 100xxxxxxxx$  et  $t'_B = 010xxxxxxxx$ .

On peut constater sur cet exemple que le circuit d'analyse décrit permet de disposer de deux signaux  $t'_A$  et  $t'_B$  qui ne sont plus autour de zéro et d'autoriser leur comparaison sans erreur.

Nous allons maintenant décrire l'analyse de la péremption faite par l'unité UC de calcul et aboutissant à l'émission d'un bit de péremption P dont on décrira également la fonction.



Pour l'analyse de la péremption, l'unité de calcul UC comporte (Fig. 2) un circuit d'analyse de la péremption CAP qui possède deux entrées  $e_1$  et  $e_2$  qui reçoivent respectivement l'heure locale  $t$  issue de la base de temps BT et l'heure fictive d'émission  $t_{de}$  enregistrée dans la zone de la mémoire MCO qui est adressée par le processeur PROC au temps  $t_3$  de la base de temps BT. Le circuit CAP comporte encore une entrée de commande  $ec$  reliée à une entrée de commande  $proc$  de l'unité de calcul UC sur laquelle le processeur PROC vient placer un bit de commande dont la fonction est explicitée ci-après. Il possède une sortie  $s$  connectée à la sortie  $Pe$  de l'unité de calcul UC.

Le circuit CAP fonctionne conformément à la table de vérité de la Fig. 5. On constate que, sur cette Fig. 5, si les trois bits de poids le plus fort du signal  $t$  de l'horloge locale sont distants, modulo  $2^3$ , de  $2^2 - 1$  de l'heure  $t_{de}$ , le circuit d'analyse délivre un bit de valeur égale à 1, et, dans le cas contraire, un bit à 0.

On peut constater que le bit  $P$  est à un lorsque les temps  $t$  et  $t_{de}$  ne sont plus comparables, c'est-à-dire lorsque le temps  $t_{de}$  pour le circuit virtuel concerné est trop antérieur à l'heure locale  $t$ . Il est à zéro dans le cas contraire.

On rappelle que le processeur PROC adresse la mémoire MCO, via le multiplexeur MX1, pendant les temps  $t_3$  et  $t_4$  de la base de temps BT. Pendant le temps  $t_3$ , la mémoire MCO est commandée en mode lecture et pendant le temps  $t_4$ , la mémoire MCO est en mode écriture.

Pendant les temps  $t_3$  et  $t_4$ , le processeur PROC a deux fonctions essentielles à assurer: d'une part, il effectue des opérations, notamment de remise à jour des valeurs  $pm$  et  $dm$  en cas de modifications de celles-ci pour un circuit virtuel donné, et, d'autre part, il traite le bit de péremption  $P$ .

Dans le premier cas, il adresse la mémoire MCO avec le numéro de circuit virtuel dont les valeurs  $pm$  et  $dm$  sont à modifier et, dans le second cas, avec un signal qui est incrémenté à chaque remise à jour du bit de péremption. Pour différencier des modes de fonctionnement différents, un bit,  $proc$  positionné, par le processeur PROC lui-même à zéro dans le premier cas et à un dans le second cas, est fourni au circuit d'analyse de la péremption CAP, si bien que celui-ci est actif seulement dans les cas où le processeur PROC adresse la mémoire MCO en vu du traitement de la péremption.

Toutes les adresses de la mémoire MCO sont à explorer en moins d'un octant de la base de temps BT.

Le bit de péremption  $P$  calculé par le circuit d'analyse CAP à partir des valeurs de  $t$  et  $t_{de}$  de la zone de la mémoire MCO adressée par le processeur PROC est ensuite enregistré dans la section  $S_4$  de la même zone.

Pour le traitement d'une cellule entrante, la fonction du bit de péremption  $P$  est la suivante. Le bit  $P$  qui

est enregistré dans la zone de la mémoire MCO qui est adressée, durant le temps  $t_1$  par une cellule entrante est fourni à l'unité de calcul UC. Dans celle-ci, ce bit est fourni, via la porte OU, à l'entrée de commande  $es$  du multiplexeur MX2 (Fig. 2). S'il est à un, c'est-à-dire dans les cas où l'heure seuil  $t_{de} + pm$  ne peut être comparée à  $t$ , le temps  $t$  dont le signal se trouve en sortie  $s$  du multiplexeur MX2 est alors considéré comme l'heure d'émission fictive de la dernière cellule émise pour le circuit virtuel considéré. S'il est à zéro, (cas normaux) cette heure fictive d'émission en sortie du multiplexeur MX2 est celle qui est calculée normalement par l'unité de calcul UC.

Enfin, lorsqu'une cellule a été traitée dans le temps  $t_1$ , au temps  $t_2$ , le bit de péremption  $P$  du circuit virtuel de la cellule qui vient d'être émise ou rejetée est repositionné à zéro.

De même, à la mise en route du système, les bits de péremption de tous les circuits virtuels sont positionnés à zéro dans la mémoire MCO.

## Revendications

1) Méthode de contrôle de débit de cellules présentes sur un circuit virtuel d'un multiplex temporel asynchrone d'entrée afin de contrôler le débit de cellules de ce circuit virtuel sur un multiplex de sortie, caractérisé en ce qu'on affecte à chaque circuit virtuel une période ( $pm$ ) correspondant à la période minimale théorique entre deux cellules consécutives dudit circuit virtuel et un délai maximal ( $dm$ ), on mémorise l'heure fictive d'émission sur le multiplex de sortie de la dernière cellule appartenant à chaque circuit virtuel, et on compare, à l'arrivée d'une nouvelle cellule d'un circuit virtuel, une heure seuil calculée par addition de son heure réelle d'arrivée et dudit délai maximal à l'heure fictive d'émission espérée de ladite nouvelle cellule en cours de traitement, ladite heure calculée par addition de ladite heure fictive d'émission de la dernière cellule émise et de ladite période minimale ( $pm$ ), et si le résultat de cette comparaison montre que ladite heure seuil est antérieure à ladite heure fictive d'émission espérée ( $t_{de} + pm$ ), ladite cellule entrante n'est pas réémise sur le multiplex de sortie alors que s'il montre que ladite heure seuil est postérieure à l'heure fictive d'émission espérée ( $t_{de} + pm$ ), elle est émise sur le multiplex de sortie, l'heure fictive d'émission de ladite cellule entrante étant alors calculée puis mémorisée en relation avec le circuit virtuel auquel appartient ladite cellule entrante.

2) Méthode selon la revendication 1, caractérisée en ce que l'heure fictive d'émission de la cellule entrante qui est calculée et l'heure réelle d'arrivée ( $t$ ) si ladite heure d'arrivée est postérieure à ladite heure fictive d'émission espérée ( $t_{de} + pm$ ).

3) Méthode selon la revendication 1 ou 2, caractérisée en ce que l'heure fictive d'émission de la cel-



l'heure entrante qui est calculée est soit l'heure fictive d'émission de la cellule précédente (tde) si ladite heure seuil ( $t + dm$ ) est antérieure à ladite heure fictive d'émission espérée (tde + pm), soit ladite heure fictive d'émission espérée (tde + pm) si l'heure seuil ( $t + dm$ ) est postérieure à ladite heure fictive d'émission (tde + pm).

4) Méthode selon une des revendications précédentes, caractérisée en ce qu'on affecte, à chaque circuit virtuel, un bit P dont la valeur est à un lorsque l'heure fictive d'émission (tde) mémorisée pour ledit circuit virtuel est antérieure d'une durée de temps prédéterminée à l'heure réelle (t) et, à zéro, dans le cas contraire.

5) Circuit de contrôle de débit de cellules d'un circuit virtuel pour la mise en oeuvre d'une méthode selon l'une des revendications précédentes, ledit circuit comprenant un multiplex d'entrée (XE) et un multiplex de sortie (XS), caractérisé en ce qu'il comprend encore une mémoire (MCO) comportant une zone de mémorisation par circuit virtuel, chaque zone étant divisée en sections (S1, S2 et S3) dans lesquelles sont respectivement mémorisées l'heure fictive d'émission (tde) de la dernière cellule émise, la période minimale (pm) et la durée maximale de retard (dm) du circuit virtuel correspondant, ladite mémoire (MCO) étant adressée, à l'arrivée d'une cellule entrante sur le multiplex d'entrée (XS), par le numéro du circuit virtuel auquel appartient ladite cellule entrante, une porte (ET) dont l'entrée est reliée au multiplex d'entrée (XE) et dont la sortie est reliée au multiplex de sortie (XS), une unité de calcul (UC) comportant des entrées respectivement reliées aux sorties de lecture de la mémoire (MCO) pour y lire chaque section (S1, S2 et S3) de la zone adressée, une première sortie (Rej) reliée à une entrée de commande de la porte (ET) pour autoriser ou non l'émission sur le multiplex de sortie (XS) de la cellule présente sur le multiplex d'entrée (XE), et une seconde sortie (tde) reliée à une entrée d'écriture de la mémoire (MCO) pour mémoriser dans la section (S1) de la zone adressée l'heure fictive d'émission (tde) de la cellule entrante calculée par ladite unité de calcul (UC), une base de temps (BT) dont une sortie (t) est reliée à l'entrée correspondante de l'unité de calcul (UC), ladite unité (UC), en fonction de l'heure locale délivrée par ladite base de temps (BT), de l'heure fictive d'émission (tde) de la dernière cellule émise, de la période minimale (pm) et de la durée maximale (dm) respectivement mémorisées dans les sections (S1, S2 et S3) correspondantes de la zone de la mémoire (MCO) qui est adressée par la cellule entrante délivrant un signal sur l'entrée de commande de la porte (ET) pour commander ou non l'émission sur le multiplex de sortie (XS) de ladite cellule et calculant l'heure fictive d'émission (tde) de ladite cellule entrante pour la mémoriser dans la section (S1) correspondante de la zone adressée par ladite cellule.

6) Circuit selon la revendication 5, caractérisé en ce que ladite unité de calcul (UC) comprend un additionneur (ADD1) dont une première entrée et une seconde entrée reçoivent respectivement le signal d'heure fictive d'émission de la dernière cellule émise (tde) et le signal (pm) délivrés par la mémoire (MCO) adressée par le numéro de circuit virtuel de la cellule entrante, la sortie dudit additionneur (ADD1) étant reliée à une première entrée d'un comparateur (CMP1) dont la seconde entrée reçoit le signal d'heure seuil de la cellule entrante ( $t + dm$ ), la sortie du comparateur (CMP1) étant reliée, d'une part, à la borne de l'unité de calcul (UC) qui est elle-même reliée à l'entrée de commande de la porte (ET) et, d'autre part, à l'entrée de commande d'un multiplexeur (MX1) dont les entrées reçoivent respectivement le signal d'heure fictive d'émission de la dernière cellule émise (tde) délivrée par la mémoire (MCO) et le signal délivré par ledit additionneur (ADD1), la sortie dudit multiplexeur (MX1) étant reliée à la borne (tde) de l'unité de calcul (UC) elle-même reliée à une entrée d'écriture de la mémoire (MCO) pour la mémorisation de l'heure fictive d'émission de la cellule entrante.

7) Circuit selon la revendication 6, caractérisé en ce que pour calculer l'heure seuil de la cellule entrante, l'unité de calcul (UC) comporte encore un second additionneur (ADD2) dont les deux entrées reçoivent respectivement le signal d'heure locale (t) délivrée par la base de temps (BT) et le signal de délai maximal (dm), la sortie dudit additionneur (ADD2) délivrant ledit signal d'heure seuil ( $t + dm$ ).

8) Circuit selon la revendication 6 ou 7, caractérisé en ce que ladite unité de calcul (UC) comporte encore un second comparateur (CMP2) dont une première entrée est reliée à la sortie du premier additionneur (ADD1) et la seconde entrée à la base de temps (BT) pour y recevoir le signal d'heure locale (t), la sortie dudit comparateur (CMP2) étant reliée à l'entrée de commande d'un second multiplexeur (MX2) dont les deux entrées sont respectivement reliées à la sortie du premier multiplexeur (MX1) et à la sortie de la base de temps (BT) pour y recevoir le signal d'heure locale (t), la sortie dudit multiplexeur (MX2) formant alors la sortie de l'unité de calcul (UC).

9) Circuit selon une des revendications 5 à 8, caractérisé en ce que chaque comparateur (CMP1, CMP2) a ses entrées qui sont respectivement reliées aux sorties d'un circuit d'analyse et de correction de passage à zéro (CACPZ1, CACPZ2) dont les entrées correspondantes reçoivent les signaux à comparer, ledit circuit (CACPZ1, CACPZ2) inversant le bit de poids le plus fort de chacun des signaux présents sur son entrée lorsqu'un seul desdits signaux est passé par zéro et que l'autre se trouve à une distance prédéterminée du premier.

10) Circuit selon une des revendications 5 à 9, caractérisé en ce que l'unité de calcul (UC) comporte encore une entrée pour y recevoir un signal d'acti-

tion (Proc) délivré par un processeur (PROC) aux  
temps où il adresse lui-même ladite mémoire (MCO)  
et une sortie (Pe) sur laquelle elle délivre un bit P dont  
la valeur est à un lorsque l'heure fictive d'émission de  
la dernière cellule émise (tde) mémorisée est anté- 5  
rieure d'une durée de temps prédéterminée à l'heure  
réelle (t) et à zéro dans le cas contraire, ladite sortie  
(Pe) étant reliée à une entrée d'écriture de la mémoire  
(MCO) pour pouvoir mémoriser ledit bit P dans une 10  
section (S4) de la zone adressée, la mémoire (MCO)  
ayant une sortie de lecture pour pouvoir délivrer, à  
l'arrivée d'une cellule entrante, ledit bit (P) mémorisé  
dans la section (S4) de la zone adressée par ladite  
cellule et pour le fournir à une entrée correspondante  
de l'unité de calcul (UC), ladite unité de calcul (UC) 15  
délivrante en tant qu'heure fictive d'émission (tde) de  
ladite cellule entrante, ladite heure fictive normale-  
ment calculée (tde, tde + pm) si le bit (P) mémorisé  
dans la zone adressée par la cellule entrante est à  
zéro, et l'heure locale (t) si il est à un. 20

11) Circuit selon la revendication 10, caractérisé  
en ce que ledit bit (P) est fourni à une entrée d'une  
porte (OU) dont la seconde entrée est reliée à la sor-  
tie du second comparateur (CMP2), la sortie de ladite  
porte (OU) étant reliée à l'entrée de commande du se- 25  
cond multiplexeur (MX2).

30

35

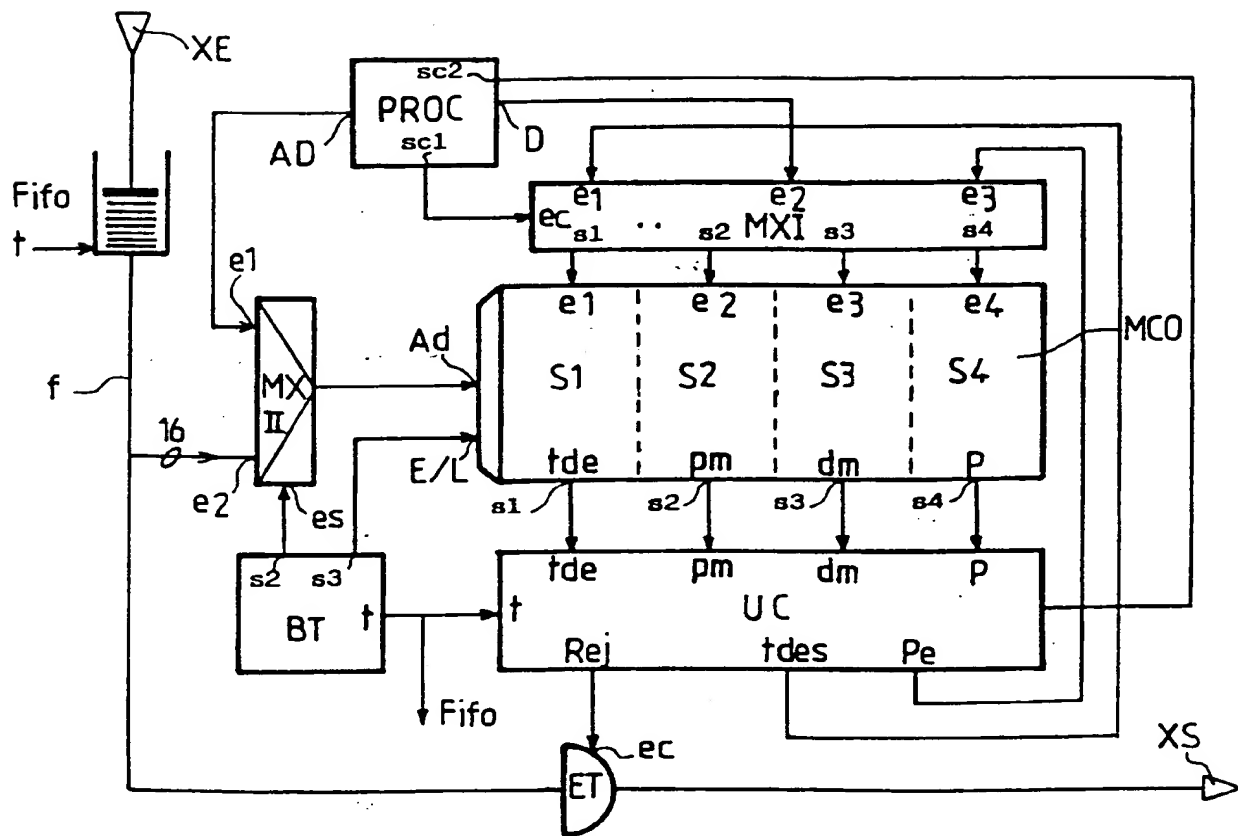
40

45

50

55

10



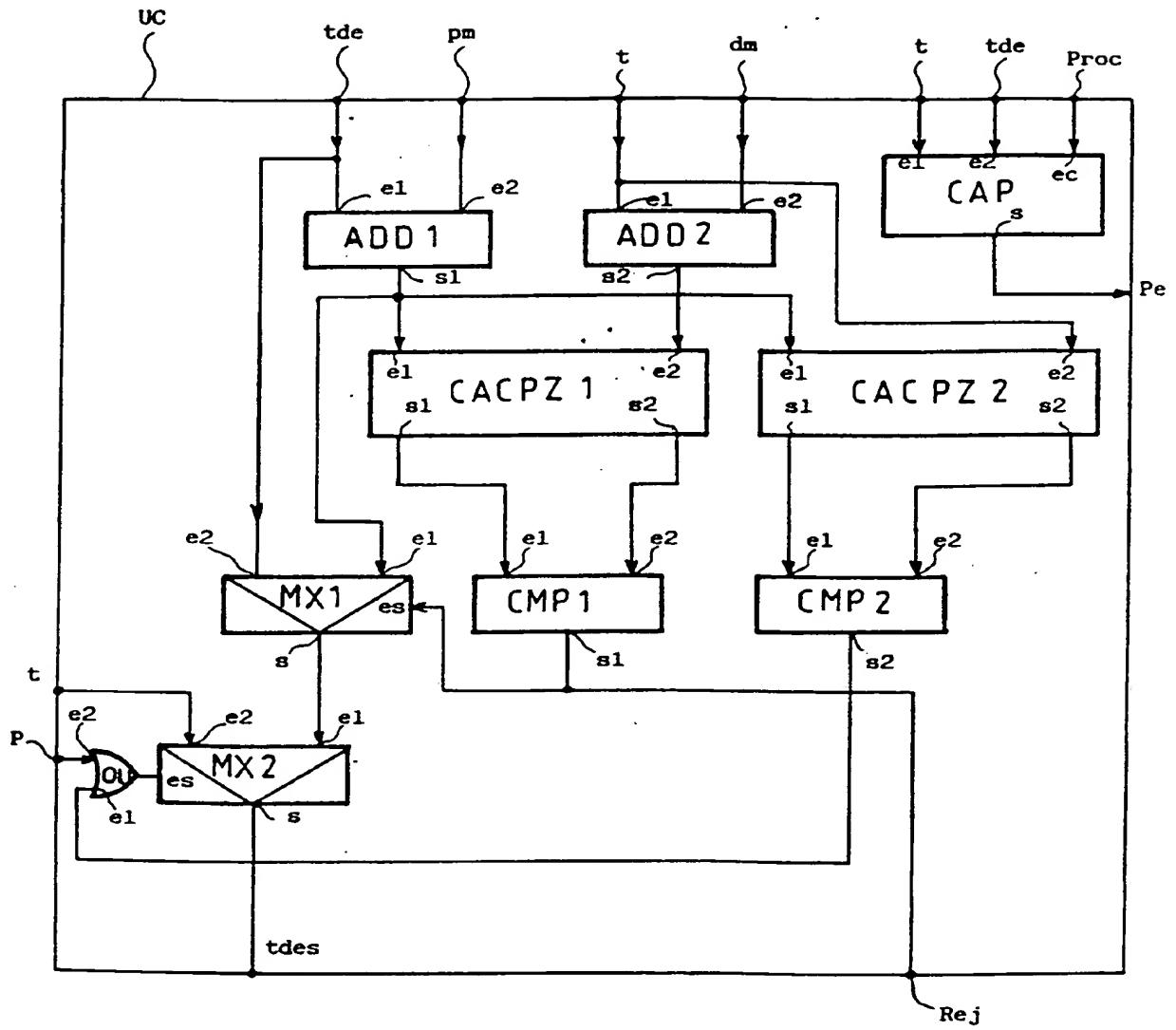


FIG. 2

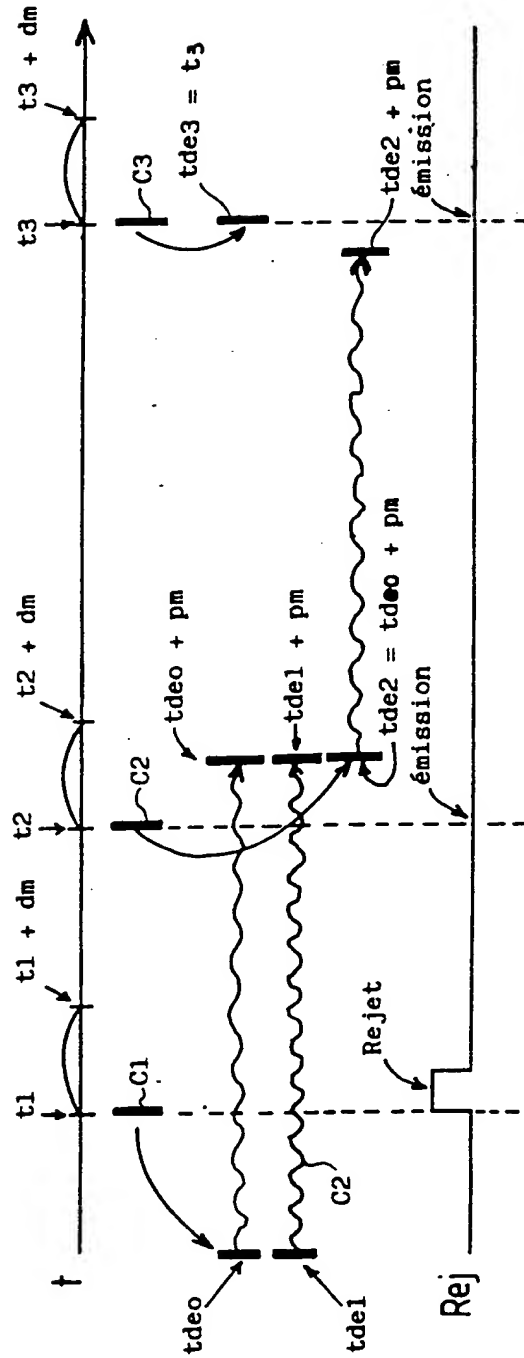


FIG. 3

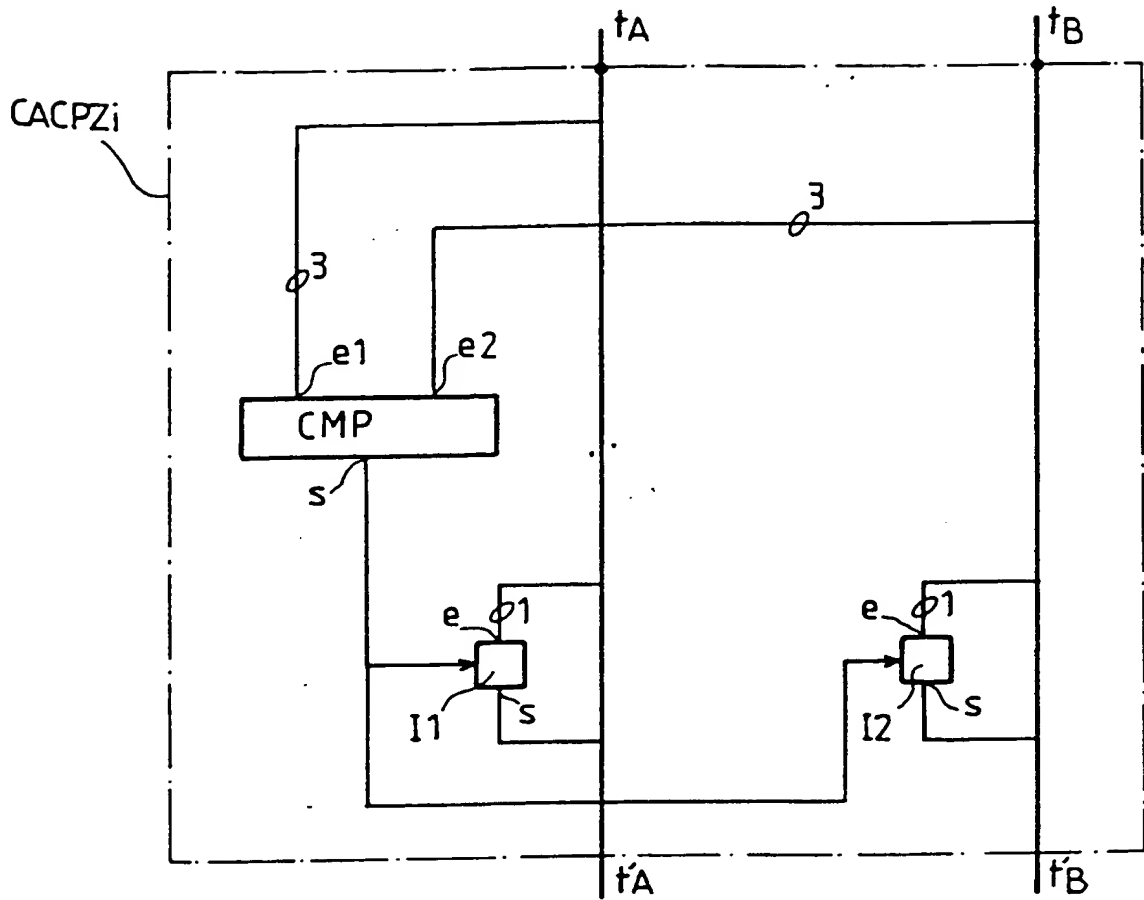


FIG. 4a

3 Bits de  
poids fort

$t_A$ $t_B$	000	001	010	011	100	101	110	111
000						1	1	1
001							1	1
010								1
011								
100								
101	1							
110	1	1						
111	1	1	1					

FIG. 4b

3 Bits de  
poids fort

tde t								
	000	001	010	011	100	101	110	111
000						1		
001							1	
010								1
011	1							
100		1						
101			1					
110				1				
111					1			

FIG. 5





Office européen  
des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 93 46 0001

Page 1

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
Y	INT. SWITCHING SYMPOSIUM 90 vol. 5, Mai 1990, SE pages 127 - 130 , XP130936 E. RATHGEB ET AL * alinéa 2. *	1,2,4	H04L12/56 H04Q11/04
Y	EP-A-0 438 009 (BOYER ET AL) * revendications 1,4,5,8; figures 1,2 * * colonne 2, ligne 25 - colonne 3, ligne 40 * * colonne 5, ligne 49 - colonne 7, ligne 21 *	1,2,4	
A	---	3,5-11	
P,X	IEEE INFOCOM 92 vol. 2, Août 1992, IT pages 753 - 758 , XP300210 F. GUILLEMIN ET AL * alinéa 4 *	1-3	
A	EP-A-0 171 596 (IBM) * abrégé * * colonne 4, ligne 61 - colonne 5, ligne 25 * * colonne 5, ligne 55 - ligne 67 * * colonne 7, ligne 59 - colonne 8, ligne 16 *	1	DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)  H04L H04Q H04J
A	GB-A-1 427 319 (PLESSEY) * revendication 1 * * page 1, ligne 31 - ligne 45 * * page 1, ligne 55 - ligne 62 *	1,5	
A	COMPUTER COMMUNICATION REVIEW vol. 20, no. 4, Septembre 1990, US pages 19 - 29 , XP168038 L. ZHANG * page 20, colonne de gauche, ligne 38 - colonne de droite, ligne 7 *	1,5	
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 11 MAI 1993	Examinateur A. ALI
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons &amp; : membre de la même famille, document correspondant</p>			

EPO FORM 1503 (01.92) (P0402)



Office européen  
des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 93 46 0001  
Page 2

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
A	IEEE JOURNAL ON SELECTED AREAS IN COMMUNICATIONS vol. 5, no. 8, Octobre 1987, US pages 1315 - 1326 M. KATEVENIS * page 1318, colonne de gauche, ligne 2 - ligne 27 * -----	1,5	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 11 MAI 1993	Examinateur A. ALI
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

EPO FORM 1503 03.82 (P0402)